

Programmable read/write access signal and method therefor

Publication number: CN1171577

Publication date: 1998-01-28

Inventor: CIRCELLO JOSEPH C (US); GAY JAMES G (US);
GLOVER CLINTON T (US)

Applicant: MOTOROLA INC (US)

Classification:

- International: G06F13/14; G06F13/16; G06F13/14; G06F13/16;
(IPC1-7): G06F13/00

- European: G06F13/16D9

Application number: CN19971009921, 19970328

Priority number(s): US19960627669, 19960401

Also published as:



EP0800139 (A)
US5872940 (A)
JP10055331 (A)
IE970147 (A1)
EP0800139 (A)

Report a data error here

Abstract not available for CN1171577

Abstract of corresponding document: **EP0800139**

A system bus controller (103) within a processor (101) includes programmable logic for different modes of chip enable signals on a per-address-space basis. This allows for a "glueless" interface (107) between the processor (101) and different types of external devices (111, 112, 113), such as memory devices. A chip select register value 604, 608, 612 is preprogrammed with respect to each external device coupled to the processor (101). This preprogrammed register value 604, 608, 612 is used by the system bus controller (103) to uniquely configure a read/write access signal to be sent to each of the external devices (111, 112, 113).

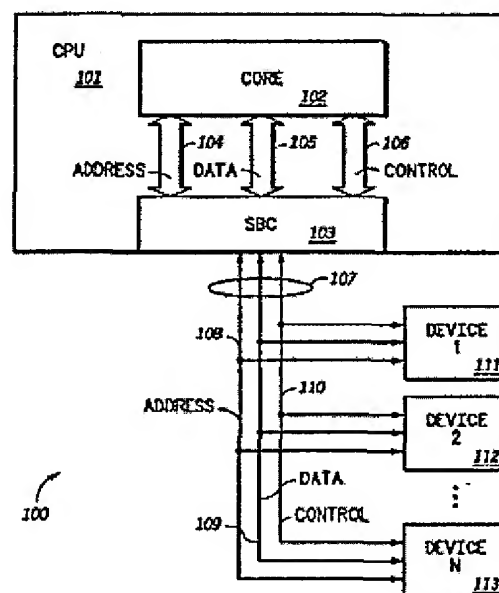


FIG.1

Data supplied from the esp@cenet database - Worldwide

[19]中华人民共和国专利局

[51]Int.Cl⁶

G06F 13/00



[12] 发明专利申请公开说明书

[21] 申请号 97109921.9

[43]公开日 1998 年 1 月 28 日

[11] 公开号 CN 1171577A

[22]申请日 97.3.28

[30]优先权

[32]96.4.1 [33]US[31]627669

[71]申请人 摩托罗拉公司

地址 美国伊利诺斯

[72]发明人 约瑟夫·C·西尔塞罗

詹姆斯·G·盖伊

克林顿·T·格罗弗尔

凯文·M·特拉诺尔

[74]专利代理机构 中国国际贸易促进委员会专利商标
事务所

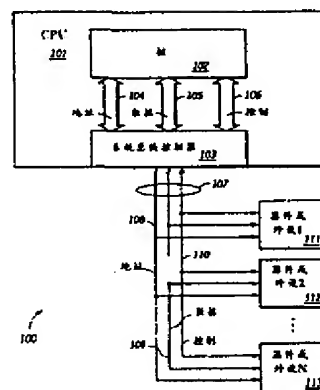
代理人 陆立英

权利要求书 2 页 说明书 7 页 附图页数 5 页

[54]发明名称 可编程读/写访问信号及其方法

[57]摘要

在处理器中的一个系统总线控制器，包含按地址空间基础上可编程的逻辑，为不同模式的片允许信号编程。这样就允许在处理器和不同类型的外部器件或外设，例如存储器件之间存在一个“无胶合”接口。片选寄存器数值是考虑到每个和处理器耦合的外部器件或外设来预先编程的。系统总线控制器用这个编程寄存器数值来唯一设置送往每个外部器件或外设的读/写访问信号。



(BJ)第 1456 号

权 利 要 求 书

1.一个处理器，其特征是：

一个核；

一个系统总线控制器适合于把上述处理器耦合到一个系统总线； 和

一个总线电路，把上述核耦合到上述系统总线控制器，

其中上述系统总线控制器包含：

一个电路，可以响应从上述核收到的向一个指定地址空间进行读或写的访问请求，而向上述系统总线输出一个读/写访问信号，其中上述读/写访问信号是上述指定地址空间的函数。

2.权利要求1中所述的处理器，其中上述读/写访问信号的上述数值依赖于一个已编程的最少一位的寄存器数值。

3.权利要求2中所述的处理器，其中上述已编程寄存器数值是储存在一个用于上述指定地址空间的控制寄存器。

4.权利要求3中所述的处理器，其中上述地址空间对应于一个耦合到上述系统总线的外部器件或外设，并且其中上述控制寄存器是用于上述外部器件或外设的一个片选控制寄存器，并且上述已编程寄存器数值是依赖于上述外部器件或外设的特定的读/写协议。

5.权利要求4中所述的处理器，其中上述读/写访问信号在读访问中被上述外部器件或外设的一个输出允许引线所接收时被维持为低电平，并且其中上述读/写访问信号在写访问中被上述外部器件或外设的一个输出允许引线所接收时被维持为低电平。

6.权利要求 1 中所述的处理器,其中从上述核发出的上述读或写请求是对驻留在上述指定地址空间的信息的。

7. 形成从一个处理器到一个地址空间的一个读或写访问的方法,上述方法的特征是包含步骤:

从上述处理器接收一个对驻留在上述指定地址空间的信息的读或写访问;和

编制一个读/写访问信号代码来响应对驻留在上述指定地址空间的上述信息的读或写访问,其中上述读/写访问信号的上述编码是在一个按地址空间的基础上可编程的。

8.权利要求 7 中所述的方法,其中上述读/写访问信号的一个编码数值是依赖于一个上述地址空间的读/写访问协议要求。

9.权利要求 7 中所述的方法,其特征进一步在于包含步骤:

从上述处理器通过一个无胶合接口向一个相应于上述地址空间的器件或外设发送。

10. 权利要求 7 中所述的方法,特征在于编码的步骤包含步骤:

读出一个被预编程而作为对应于上述地址空间的一个特定的读/写访问协议的函数的寄存器数值,其中上述读/写访问信号的一个数值依赖于上述寄存器数值。

说明书

可编程读/写访问信号及其方法

本发明一般而言涉及数据处理系统,具体而言涉及从一个处理器发送一个可编程读/写访问信号。

一个处理器(以下又称为CPU(中央处理器))通常是在一个集成电路("IC")上实现的,并且用一个系统总线和各种外部资源(器件,器件或外设)耦合。这些外部器件或外设可以包括闪烁(flash)存储器件,只读存储器件("ROM"),随机存取存储器件("RAM"),动态随机存取存储器件("DRAM"),通用异步收发信机("UART")器件,专用集成电路("ASIC"),定时器件,另外的微处理器,直接存储器存取("DMA")通道,硬盘,磁带驱动器,CD-ROM,网络通信适配器,用户接口,和显示器件。这些众多的器件是处理器头脑的眼睛,耳朵,嘴巴,手,和脚。换言之,没有外部通信手段,单独的一个处理器实际上只是一块无用的硅而已。

把这些众多的外部器件或外设耦合到处理器的系统总线通常是许多并行操作的传输线。可以说总线是等效于人体的中央神经系统。

因为系统总线的全部或大部份传输线耦合到处理器和全部外部器件或外设,所以需要有一个寻址方法使从处理器或从某个外部器件或外设发送的一组数据或指令只被该数据或指令中指定的目的地所接收。对于一个特定系统的一组地址可以解析为许多地址空间。一个特定的地址空间可以属于一个特定的外部器件或外设。通常,地址空间用给一个指定的器件确定一个片选信号来表示。

当处理器企图读取放在一个特定地址空间的信息,或企图向一个特定地址空间写入信息时,在处理器和相应于该地址的外部器件或外设之间就初始化一个总线协议。这个总线协议通常包含,给要对它进行读访问或写访问的外部器件或外设一个报警信号,和给外部器件或外设一个通知,指出这是读访问或是写访问。这个总线协议由装在处理器内的系统总线控制器产生,并耦合到处理器的核心电路(以后也称之为"核")和系统总线之

间。系统总线控制器担当在核和系统总线之间接收读请求和写请求的接口。

当数据处理系统是采用不同生产者生产的处理器和外部器件或外设构成时就会遇到麻烦，因为没有一个是所有生产者一致执行的通用标准总线协议。这样，不同的外部器件或外设可能要求不同的总线协议信号。

例如，为了正确地和处理器接口，不同型号的外部存储器件(一类外部器件或外设)可能要求不同的读/写访问信号。已有技术的处理器呆板地只能为读/写访问信号产生一个数值。如果处理器维持对一个外部器件或外设的读访问时这个信号是高电平，而外部器件或外设要求维持这个被接收的信号是低电平，处理器和外部器件或外设的接口就不可能正确。例如，外部器件或外设可能按照写访问来操作从处理器来的一个读访问。

已有的技术解决这个问题必需在处理器和外部器件或外设之间的系统总线上附加外部逻辑电路。因为这样的逻辑电路要在一个 IC 或一片印刷电路板(" PCB") 上占地方(增加成本) 并且增加相关额外开支，希望能不用这样的外部逻辑电路。外部逻辑电路通常给系统总线访问带来额外的时延，从而降低了系统的整体性能。所以要有这样的技术，将处理器接到一个或多个外部器件或外设，对于读/写访问信号，不需要附加外部逻辑电路。换言之，需要在这样的处理器和一个或多个外部器件或外设之间的是一个(" 无胶合(glueless)") 接口。

为了更完整了解本发明及其优点，参照以下和相应图示相联系的说明，其中：

图 1 表示根据本发明的一个实施例构成的一个数据处理系统；

图 2-4 表示一个处理器和不同的外部器件或外设接口及其独特的总线协议信号要求；

图 5 表示本发明在一个系统总线控制器中的实现；

图 6 表示实现本发明的一个例子；以及

图 7 表示实现本发明的一个例子的时序。

在以下的说明中，阐述大量具体的细节以提供对本发明作透彻的了解。但是，很显然，对本领域的技术人员而言，本发明可以不用这些具体的细节也能实现。在其他的例子中，众所周知的电路以方框图形式表示，使本发

明不致于被不必要的细节所模糊。在大多数情况，有关时间的考虑及类似的细节被略去，因为这些细节对本发明的全面了解是不必要的，而且是在有关技术中具备通常技艺的人的技艺之内。

现在参阅图示，其中描绘的元件并没按比例画出，并且在许多图示中，同样或类似的元件用同一个参考号码标示。

参阅图1，表示出根据本发明构成的数据处理系统100。处理器(CPU) 101 用系统总线 107 耦合到 N 个(N 是一个正整数) 外部器件或外设 111-113，该系统总线是一个"无胶合"的接口。换言之，如上简单地并而以后还将进一步讨论那样，不需要为了 CPU 101 能够和 N 个外部器件或外设 111-113 中的每一个正确地接口而沿着系统总线 107 的任何地方增加外部逻辑电路。

CPU 101 包含通常由各种执行部件和有关电路组成的处理器核 102。核 102 由地址总线 104，数据总线 105 和控制总线 106 耦合到系统总线控制器("SBC") 103。SBC 103 作为核 102 和系统总线 107 之间的总线接口部件。

系统总线 107 包含地址总线 108，数据总线 109 和控制总线 110。系统总线 107 将 CPU 101 耦合到 N 个外部器件或外设 111-113 中的每一个。

对于 CPU 101 来说，N 个外部器件或外设 111-113 中的每一个都处于一个可以进行读和写访问的地址空间。

下面参阅图2，表示 CPU 101 到外部器件或外设 111 的耦合。较详细地画出控制总线 110 的一部份，以表示为了 CPU 101 和外部器件或外设 111 接口，外部器件或外设 111 对控制信号的特别要求。外部器件或外设 111 要求从 CPU 101 来的标号为 ERE 读/写信号由外部器件或外设 111 的输出允许(OE) 和写允许(WE) 引线所接收。注意，CPU 101 的片选(CS) 信号是由外部器件或外设 111 的片允许(CE) 引线接收的。

图3 表示 CPU 101 到一个与外部器件或外设 111 不同的外部器件或外设 112 的耦合。外部器件或外设 112 从 101 来的 ERE 信号只由外部器件或外设 112 的 WE 引线接收。外部器件或外设 112 的 WE 引线耦合到 CPU 101 的 WE 引线。

图 4 表示 CPU 101 到一个与外部器件或外设 111 和 112 都不同的外部器件或外设 113 的耦合的又一个例子。外部器件或外设 113 的 OE 引线固定接地, 外部器件或外设 113 的 WE 引线接收从 CPU 101 来的 ERE 信号。

外部器件或外设 111-113 可以由不同的存储器件如 SRAM, ROM, 或闪烁存储芯片组成。这些不同的存储芯片为了和一个处理器进行读和写通信, 常常要求不同的控制接口。例如, 对于从 CPU 101 来的写访问, 外部器件或外设 112 可能要求一个维持为低电平的 ERE 信号, 而外部器件或外设 112 可能对一个写访问要求 ERE 信号维持为高电平。如上面所讨论, 已有技术的处理器是严格构造的, 从而对任何访问(读或写) ERE 信号都维持为同一个电平。例如, 一个已有技术的处理器, 对于写访问, ERE 信号可能总是维持是低电平。在这样情况下, 对于该已有技术的处理器要正确地与外部器件或外设 113 接口, 就必需在处理器的 ERE 引线和外部器件或外设 113 的 WE 引线之间加入一个外部逻辑电路, 譬如, 一个反向电路。本发明解决上述的问题不需要这样的附加外部逻辑电路。换言之, 可以在 CPU 101 和所有外部器件或外设 111-113 之间加入一个"无胶合"接口。

参阅下面的图 5, 表示在 SBC 103 中实现本发明的一个实施例。SBC 103 在控制总线 106 上从核 102 接收一个读或写访问(标号为 R/W)。例如, 核 102 可以请求允许对应于 SBC 103 在地址总线 104(见图 1)上收到的地址向一个地址空间写入信息, 并根据地址空间写入到某个外部器件或外设 111 - 113。这样一个从核 102 来的写访问在总线 106 上可以实现为一个被维持为高电平或一个被维持为低电平的信号。这个信号被 SBC 103 中的多路复用电路(MUX) 502 的"0"输入端接收。这个写访问信号同时被反相器 503 取反, 其输出端耦合到多路复用电路 502 的"1"端。选择任一个这样的输入作为从 SBC 103 的 ERE 信号输出, 则是根据存放在寄存器 603, 607, 或 611 中的 604, 608, 或 612 数位中的各自的寄存数值来实现的。寄存器 603, 607, 或 611 各自可以是一个在 SBC 103 中的片选控制寄存器(CSCR)。在 CSCR 中数位的值定义一个在给定地址空间的一个外部器件或外设的外部总线控制信号。多路复用电路 510 选择诸

位 604, 608, 或 612 中的一位, 作为从核 102 来的读或写访问的指定地址空间的函数。寄存器 603, 607, 和 611 的每一个专用于系统 100 中不同的地址空间。

在位 604, 608, 和 612 中的数值(每个可以由一位或多位组成)已经在 CPU 101 执行的程序设置数据处理系统 100 时, 分别被预先编程放在寄存器 603, 607, 和 611 中。例如, 一位系统工程师可以购置根据本发明设置的 CPU 101 用在系统 100 中与一个或多个外部器件或外设 111-113 耦合。此时, 系统工程师会注意到各种外部器件或外设 111-113 要求的特殊的读/写访问协议并且会编制相应的程序指令来设置分别属于每个外部器件或外设 111-113 的每一位 604, 608, 和 612 中需要的数值, 使得 SBC 103 产生为每个外部器件或外设(地址空间)所需要的 ERE 信号电平。通常每个地址空间(外部器件或外设)会有一组属于它的片选寄存器(见图 6)。请注意, 本领域的技术人员能进行这样的预编程。另外, 位 604, 608, 和/或 612 的编程也可以在集成电路复位时进行。

参阅下面的图 6, 表示一个实现本发明的例子。当系统设置时, 使片选寄存器 601-603 属于外部器件或外设 111, 片选寄存器 605-607 属于外部器件或外设 112, 和片选寄存器 609-611 属于外部器件或外设 113。因此, 当一个地址指明外部器件或外设 111, 112 或 113 之一要被访问时, 相应于被选的那个外部器件或外设的一组片选寄存器在这次访问时将提供控制信息。寄存器 601, 605, 和 609 可以是典型的片选地址寄存器, 用来存储从核 102 收到的属于一个特定的读或写访问的地址。寄存器 602, 606, 和 610 可以是可选的屏蔽寄存器, 可与片选地址寄存器联用以确定数据处理系统 100 内的地址空间。还有, 以前提到, 寄存器 603, 607, 和 611 是片选控制寄存器, 用来保存各控制位, 这些位指出把专用的控制信号送往各个外部器件或外设。

又如以前提到, 寄存器位 604, 608, 和 612 是 ERE 位, 在它们各自的 CSCR 寄存器中用来确定要送到相应的外部器件或外设需要的 ERE 信号。例如, 多路复用电路 502 可以接收位 604 中的寄存数值以确定送到外部器件或外设 111 的 ERE 信号的信号电平。下面的表用例子说明为了如图 2, 3, 和 4 所示从 CPU 101 到外部器件或外设 111-113 的读和写访问

能正确工作, 这些 ERE 位是如何被编程的。

	CSCR1[ERE]	CSCR2[ERE]	CSCRN[ERE]
	1	0	1
读	0	1	0
写	1	0	1

如果 ERE 位的值是"0", 则对于一个写访问 ERE 信号输出被维持为低电平, 对于一个读访问 ERE 信号输出被维持为高电平。如果 ERE 位的值是"1", 则对于一个读访问 ERE 信号输出被维持为低电平, 对于一个写访问 ERE 信号输出被维持为高电平。这样的例子在图 7 中用时序图进一步被表示出来, 这里表示核 102 请求三个连续的写访问和三个连续的读访问。在第一个写访问中, 地址空间 A 出现一个写访问。地址 A 存储在寄存器 601 中。这样就使片选信号(CS1)从 SBC 103 送到外部器件或外设 111。因为在寄存器 603 的位 604 的值是一个"1"位, 多路复用 502 将选择"1"输入, 它是把从核 102 收到写访问信号的取反信号。因此, ERE 信号送到外部器件或外设 111 将被维持为高电平。

当收到对地址 B 的写访问, 片选信号 CS2 将被维持为低电平并被送到外部器件或外设 112。因为在寄存位 608 的值是一个"0"位, 从 SBC 103 送到外部器件或外设 112 的 ERE 信号将被维持为低电平。

当收到要从核 102 对相应于外部器件或外设 113 的地址 C 的写访问, 片选信号 CSN 将被维持为低电平并被送到外部器件或外设 113。因为在寄存位 612 的值是一个"1"位, 从 SBC 103 送到外部器件或外设 113 的 ERE 信号将被维持为高电平。

如图 7 所示, 对于同一组地址, 读访问的 ERE 信号正和写访问的值相反。

本发明的一个优点是从 SBC 103 送往各个外部器件或外设 111- 111 的 ERE 信号是可编程的, 因此, 也许各外部器件或外设

对 ERE 信号电平有不同要求，也不需要外部逻辑电路来把 ERE 信号在它被每个外部器件或外设 111-113 接收之前修改它。

虽然本发明及其优点已经详细说明，应当认为在不背离本发明的权利要求规定的精神和范围之内，可以作出各种变更，替换和变化。

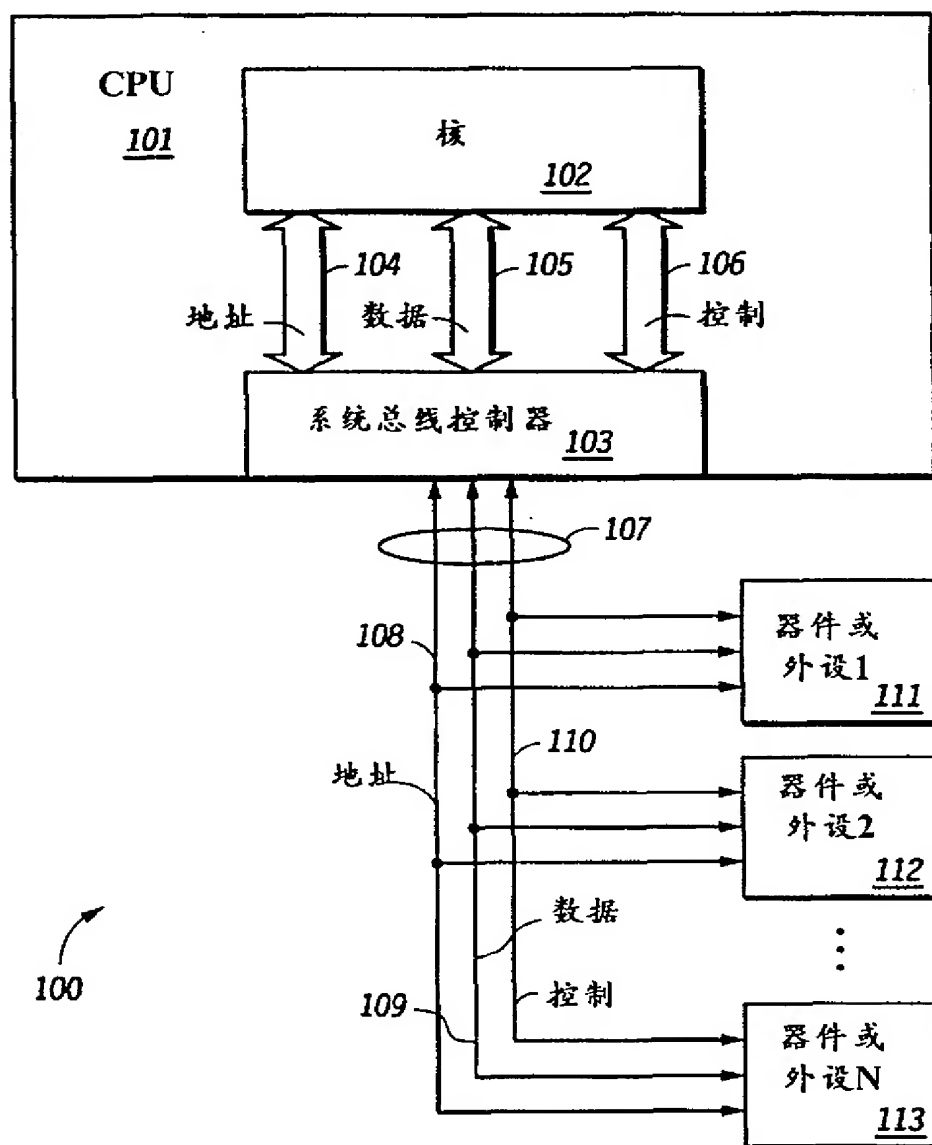


图 1

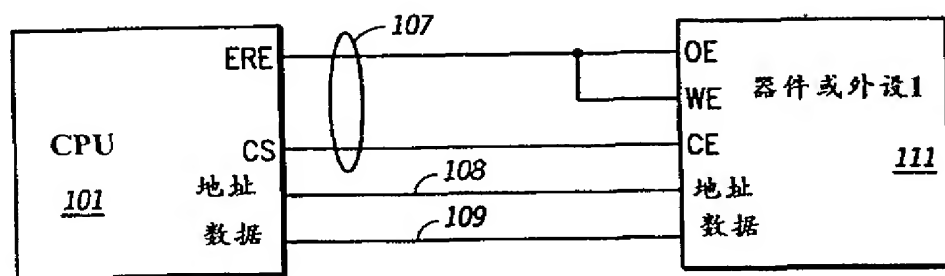


图 2

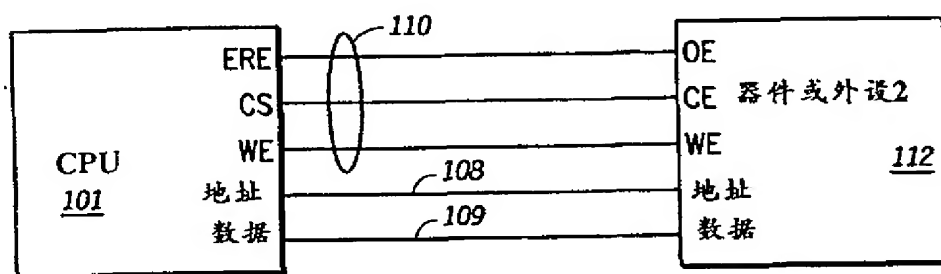


图 3

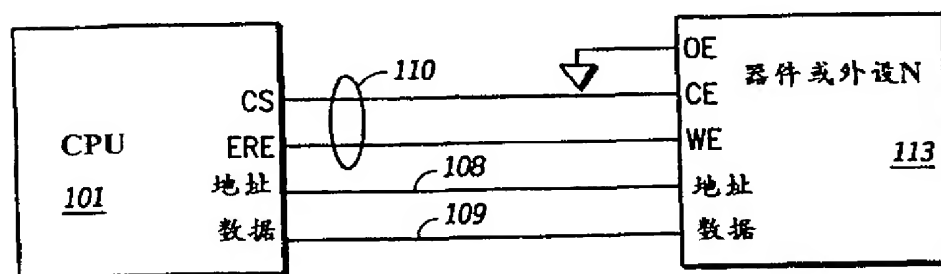


图 4